

## MEASUREMENT OF ELECTRICAL CHARACTERISTICS OF SEMICONDUCTOR ELEMENT

Patent Number: JP60142526  
Publication date: 1985-07-27  
Inventor(s): SUZUKAWA KOUJI  
Applicant(s): TOSHIBA KK  
Requested Patent:  JP60142526  
Application Number: JP19830247373 19831229  
Priority Number(s):  
IPC Classification: H01L21/66; G01R31/26  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To reduce the dispersion of contact resistances between an element and probe needles and prevent the breakdown of probe needles by inserting in series resistances having larger resistance values than the contact resistance between the semiconductor element and the probe needles.

**CONSTITUTION:** A semiconductor element 1 is provided, for example, with four probe needles in the forming line and each probe needle is tungsten needle having a balance resistance  $R_B$  of  $1/2W$ :  $0.47+ \text{ or } -1\%$   $\Omega$ . In an equivalent circuit, a current flowing into the forming probe needle BF1 is calculated and resistances are considered as  $R_{c1}$   $R_{c1}$ ,  $R_{c2}$ ,  $R_{c3}$ ,  $R_{c4}$ ,  $I_1=I_2=I_3=I_4$  and a flowing current is equalized. Thereby the probe needle is not broken during measurement.

---

Data supplied from the esp@cenet database - I2

# 類似技術

⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-142526

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)7月27日

H 01 L 21/66  
G 01 R 31/26

6603-5F  
7359-2G

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体素子の電気特性測定方法

⑯ 特 願 昭58-247373

⑰ 出 願 昭58(1983)12月29日

⑱ 発 明 者 鈴 川 光 二 川崎市幸区小向東芝町1 東京芝浦電気株式会社多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 井 上 一 男

## 明 細 書

### 1. 発明の名称

半導体素子の電気特性測定方法

### 2. 特許請求の範囲

半導体素子を大電流プローブによりそのプローブ針を半導体素子に接触させて電気特性を測定する方法において、半導体素子とプローブ針との接触抵抗値よりも大きい値の抵抗を各に直列挿入した半導体素子の電気特性測定方法。

### 3. 発明の詳細な説明

(発明の技術分野)

この発明は半導体素子の電気特性測定方法に関し、特にウエーハおよびチップの状態で施される電気特性の測定で1Aを超える電流値のものに適用される。

(発明の技術的背景)

従来の測定方法は、テストにおけるセンシングとフォーシングの針を別々にして4端子法により測定していた。この測定方法は第1図に回路図で、また第2図に実態図で原理を示し、さらに第3図

に等価回路が示される。いずれも(1)は半導体素子である。図にも示したように、この測定方法ではセンシングプローブ針Bs、Esで電圧を、フォーシングプローブ針Bf、Efで電流を測定するが、各針とも夫々には接触抵抗Bf:Rc1、Ef:Rc2、Bs:Rc3、Es:Rc4が伴う。次に従来の方法の応用例として第4図にプローブカードの配線例図を示す。

(背景技術の問題点)

上記従来の4端子測定法は精度良く測定できる利点はあるが、次にあげる欠点がある。すなわち、プローブ針1本に流せる最大電流は2アンペア程度であり、それを超える場合にはプローブ針の数を増す必要がある。このとき、素子とプローブ針の接触抵抗は0.04~0.18オームと大きなばらつきがある。これによって針に流れる電流にばらつきを生じ、かつ、接触抵抗の最も小さいものに電流が集中しプローブ針が破損する。そして、1本が破損すると次に接触抵抗の小さいものに電流が集中して破損する。このように逐次破損が連続する

という重大な問題がある。

〔発明の目的〕

この発明は上記従来の欠点に鑑み半導体素子の電気特性測定方法を改良するものである。

〔発明の概要〕

この発明にかかる半導体素子の電気特性測定方法は、半導体素子とプローブ針との接触抵抗値よりも大きい値の抵抗を各に直列挿入したことを特徴とする。

〔発明の実施例〕

次にこの発明を1実施例につき、図面を参照して詳細に説明する。

一例のプローブカードを従来の第4図に準じて第5図に示す。図において、(1)は半導体素子で、フォーシングラインにプローブ針を4本設けてなり、このプローブ針はいずれもタングステン針、  
バランス抵抗(R<sub>B</sub>)には1/2W:0.47±1%Ωとし  
ている。そしてこの等価回路を第6図に示す。

センシングプローブ針は電圧測定端子のため、入力抵抗が高いので接触抵抗が100Ω以下であ

れば実用上ほとんど問題とならない。

フォーシングプローブ針(BF<sub>1</sub>)に流れる電流を計算すると

$$\begin{aligned} I'_1 &= I'_2 (R_B + R_{C2}) / R_B + R_{C1} \\ I'_2 &= I'_3 (R_B + R_{C3}) / R_B + R_{C1} \quad \dots (1) \\ I'_3 &= I'_4 (R_B + R_{C4}) / R_B + R_{C1} \end{aligned}$$

となる。R<sub>B</sub> = 0 のとき、および

R<sub>C1</sub> < R<sub>C2</sub>, R<sub>C3</sub>, R<sub>C4</sub> となると

$$\begin{aligned} I'_1 &= I'_2 R_{C2} / R_{C1} \\ I'_1 R_{C1} &= I'_2 R_{C2} \quad \dots (2) \end{aligned}$$

となり、I'<sub>1</sub> が I'<sub>2</sub>, I'<sub>3</sub>, I'<sub>4</sub> より大きくなる。

これはバランス抵抗がないとき、接触抵抗のばらつきが大になり、接触抵抗の最も小さいものに電流が集中するということであり、針が測定中被損しやすくなることが明らかになった。

ここで、もしも

$$R_B > R_{C1}, R_{C2}, R_{C3}, R_{C4}$$

であれば式(1)より

$$I'_1 = I'_2 = I'_3 = I'_4$$

となり、流れる電流が均一になる。これにより、

測定中プローブ針が破損することはない。

上記を応用してウェーハ状でのコレクタ基板と、ウェーハステージの接触抵抗の影響をなくするため、ウェーハステージをセンシングとフォーシングとの各ラインを別々にした例を第7図と第8図に示す。  
第7図はくしの歯状にして対向させた例、第8図は同心円状に対向させた例である。

〔発明の効果〕

この発明によると、ウェーハ状における半導体素子のV<sub>BEF</sub>特性を従来のそれと比べて第9図に示した。本発明は実線にて、また、従来のものは破線で夫々示し、分布に明瞭な差が認められる。

次にウェーハの状態では半導体素子のE-B間に抵抗を挿入したときの抵抗(R<sub>1</sub>, R<sub>2</sub>, R<sub>3</sub>)に流れる電流を本発明方法と従来方法とを比較して第10図に示す。これによっても本発明はばらつきが顕著に少ないことがわかる。

#### 4. 図面の簡単な説明

第1図ないし第3図は4端子法による測定を示し、第1図は回路図、第2図は実態図、第3図は

等価回路図、第4図は従来のプローブカードの配線図、第5図ないし第8図はこの発明の実施例にかかり、第5図はプローブカードの配線図、第6図は回路図、第7図および第8図はいずれもウェーハステージへ応用した実施例、第9図および第10図はいずれも夫々がこの発明の効果を説明するための線図である。

1.....半導体素子

代理人 弁理士 井 上 一 男

